

F5

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-163320
(P2000-163320A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 12/16	3 1 0	G 0 6 F 12/16	3 1 0 L 5 B 0 1 8

審査請求 有 請求項の数16 F D (全 9 頁)

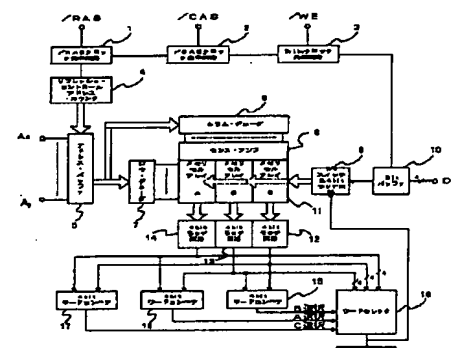
<p>(21) 出願番号 特願平10-353810</p> <p>(22) 出願日 平成10年11月30日 (1998. 11. 30)</p>	<p>(71) 出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号</p> <p>(72) 発明者 鈴木 直志 東京都港区芝五丁目7番1号 日本電気株式会社内</p> <p>(74) 代理人 100097113 弁理士 堀 城之</p> <p>Fターム (参考) 5B018 GA02 HA06 KA22 MA01 QA14 RA04</p>
--	--

(54) 【発明の名称】 ソフトエラー対策機能付メモリ装置及びソフトエラー対策方法

(57) 【要約】

【課題】 本発明は、メモリ装置にソフトエラー対策機能を付加することにより、効率的にバスラインを使用でき、装置の性能向上が望めるソフトエラー対策機能付メモリ装置及びソフトエラー対策方法を提供することを課題とする。

【解決手段】 データを格納する少なくとも3つ以上のメモリセルA、B、Cを備えたメモリセルアレイ11と、メモリセルA、B、Cの各々の記憶内容について多数決をとってソフトエラーを被っていないメモリセルのデータを選択する多数決回路とを有する。



- 1-メモリセルアレイ (リード/ライト用のロジック回路)
- 2-メモリセルアレイ (リード/ライト用のロジック回路)
- 3-メモリセルアレイ (リード/ライト用のロジック回路)
- 4-メモリセルアレイ (リード/ライト用のロジック回路)
- 5-メモリセルアレイ (リード/ライト用のロジック回路)
- 6-メモリセルアレイ (リード/ライト用のロジック回路)
- 7-メモリセルアレイ (リード/ライト用のロジック回路)
- 8-メモリセルアレイ (リード/ライト用のロジック回路)
- 9-メモリセルアレイ (リード/ライト用のロジック回路)
- 10-多数決回路 (多数決回路)
- 11-メモリセルアレイ (リード/ライト用のロジック回路)
- 12-メモリセルアレイ (リード/ライト用のロジック回路)
- 13-メモリセルアレイ (リード/ライト用のロジック回路)
- 14-メモリセルアレイ (リード/ライト用のロジック回路)
- 15-メモリセルアレイ (リード/ライト用のロジック回路)
- 16-メモリセルアレイ (リード/ライト用のロジック回路)
- 17-メモリセルアレイ (リード/ライト用のロジック回路)
- 18-メモリセルアレイ (リード/ライト用のロジック回路)
- 19-メモリセルアレイ (リード/ライト用のロジック回路)
- 20-メモリセルアレイ (リード/ライト用のロジック回路)
- 21-メモリセルアレイ (リード/ライト用のロジック回路)
- 22-メモリセルアレイ (リード/ライト用のロジック回路)
- 23-メモリセルアレイ (リード/ライト用のロジック回路)
- 24-メモリセルアレイ (リード/ライト用のロジック回路)
- 25-メモリセルアレイ (リード/ライト用のロジック回路)
- 26-メモリセルアレイ (リード/ライト用のロジック回路)
- 27-メモリセルアレイ (リード/ライト用のロジック回路)
- 28-メモリセルアレイ (リード/ライト用のロジック回路)
- 29-メモリセルアレイ (リード/ライト用のロジック回路)
- 30-メモリセルアレイ (リード/ライト用のロジック回路)
- 31-メモリセルアレイ (リード/ライト用のロジック回路)
- 32-メモリセルアレイ (リード/ライト用のロジック回路)
- 33-メモリセルアレイ (リード/ライト用のロジック回路)
- 34-メモリセルアレイ (リード/ライト用のロジック回路)
- 35-メモリセルアレイ (リード/ライト用のロジック回路)
- 36-メモリセルアレイ (リード/ライト用のロジック回路)
- 37-メモリセルアレイ (リード/ライト用のロジック回路)
- 38-メモリセルアレイ (リード/ライト用のロジック回路)
- 39-メモリセルアレイ (リード/ライト用のロジック回路)
- 40-メモリセルアレイ (リード/ライト用のロジック回路)
- 41-メモリセルアレイ (リード/ライト用のロジック回路)
- 42-メモリセルアレイ (リード/ライト用のロジック回路)
- 43-メモリセルアレイ (リード/ライト用のロジック回路)
- 44-メモリセルアレイ (リード/ライト用のロジック回路)
- 45-メモリセルアレイ (リード/ライト用のロジック回路)
- 46-メモリセルアレイ (リード/ライト用のロジック回路)
- 47-メモリセルアレイ (リード/ライト用のロジック回路)
- 48-メモリセルアレイ (リード/ライト用のロジック回路)
- 49-メモリセルアレイ (リード/ライト用のロジック回路)
- 50-メモリセルアレイ (リード/ライト用のロジック回路)
- 51-メモリセルアレイ (リード/ライト用のロジック回路)
- 52-メモリセルアレイ (リード/ライト用のロジック回路)
- 53-メモリセルアレイ (リード/ライト用のロジック回路)
- 54-メモリセルアレイ (リード/ライト用のロジック回路)
- 55-メモリセルアレイ (リード/ライト用のロジック回路)
- 56-メモリセルアレイ (リード/ライト用のロジック回路)
- 57-メモリセルアレイ (リード/ライト用のロジック回路)
- 58-メモリセルアレイ (リード/ライト用のロジック回路)
- 59-メモリセルアレイ (リード/ライト用のロジック回路)
- 60-メモリセルアレイ (リード/ライト用のロジック回路)
- 61-メモリセルアレイ (リード/ライト用のロジック回路)
- 62-メモリセルアレイ (リード/ライト用のロジック回路)
- 63-メモリセルアレイ (リード/ライト用のロジック回路)
- 64-メモリセルアレイ (リード/ライト用のロジック回路)
- 65-メモリセルアレイ (リード/ライト用のロジック回路)
- 66-メモリセルアレイ (リード/ライト用のロジック回路)
- 67-メモリセルアレイ (リード/ライト用のロジック回路)
- 68-メモリセルアレイ (リード/ライト用のロジック回路)
- 69-メモリセルアレイ (リード/ライト用のロジック回路)
- 70-メモリセルアレイ (リード/ライト用のロジック回路)
- 71-メモリセルアレイ (リード/ライト用のロジック回路)
- 72-メモリセルアレイ (リード/ライト用のロジック回路)
- 73-メモリセルアレイ (リード/ライト用のロジック回路)
- 74-メモリセルアレイ (リード/ライト用のロジック回路)
- 75-メモリセルアレイ (リード/ライト用のロジック回路)
- 76-メモリセルアレイ (リード/ライト用のロジック回路)
- 77-メモリセルアレイ (リード/ライト用のロジック回路)
- 78-メモリセルアレイ (リード/ライト用のロジック回路)
- 79-メモリセルアレイ (リード/ライト用のロジック回路)
- 80-メモリセルアレイ (リード/ライト用のロジック回路)
- 81-メモリセルアレイ (リード/ライト用のロジック回路)
- 82-メモリセルアレイ (リード/ライト用のロジック回路)
- 83-メモリセルアレイ (リード/ライト用のロジック回路)
- 84-メモリセルアレイ (リード/ライト用のロジック回路)
- 85-メモリセルアレイ (リード/ライト用のロジック回路)
- 86-メモリセルアレイ (リード/ライト用のロジック回路)
- 87-メモリセルアレイ (リード/ライト用のロジック回路)
- 88-メモリセルアレイ (リード/ライト用のロジック回路)
- 89-メモリセルアレイ (リード/ライト用のロジック回路)
- 90-メモリセルアレイ (リード/ライト用のロジック回路)
- 91-メモリセルアレイ (リード/ライト用のロジック回路)
- 92-メモリセルアレイ (リード/ライト用のロジック回路)
- 93-メモリセルアレイ (リード/ライト用のロジック回路)
- 94-メモリセルアレイ (リード/ライト用のロジック回路)
- 95-メモリセルアレイ (リード/ライト用のロジック回路)
- 96-メモリセルアレイ (リード/ライト用のロジック回路)
- 97-メモリセルアレイ (リード/ライト用のロジック回路)
- 98-メモリセルアレイ (リード/ライト用のロジック回路)
- 99-メモリセルアレイ (リード/ライト用のロジック回路)
- 100-メモリセルアレイ (リード/ライト用のロジック回路)

【特許請求の範囲】

【請求項1】 メモリセルのソフトエラーを判定し、ソフトエラーを被っていないと判断されるデータを選択的に出力するソフトエラー対策機能付のメモリ装置であって、

データを格納する少なくとも3つ以上のメモリセルを備えたメモリセルアレイと、

前記3つ以上のメモリセルの各々の記憶内容に対して多数決処理を実行してソフトエラーを被っていないデータを選択する多数決回路とを有することを特徴とするソフトエラー対策機能付メモリ装置。

【請求項2】 前記多数決回路は、前記3つ以上のメモリセルの中のいずれか1つのメモリセルの記憶内容がソフトエラーを被っていると判定した際に、当該メモリセルを除く残りの前記メモリセルの記憶内容をソフトエラーを被っていないとする多数決論理を用いた選択処理を実行するように構成されていることを特徴とする請求項1に記載のソフトエラー対策機能付メモリ装置。

【請求項3】 前記多数決回路は、前記メモリセルの数と同数設けられ、前記メモリセルの各々から読み出した記憶内容を2つずつ総当たりの組にして比較する多数決比較を行うコンペア手段を有することを特徴とする請求項2に記載のソフトエラー対策機能付メモリ装置。

【請求項4】 前記多数決回路は、前記2つずつ総当たりの組にされたメモリセル間で記憶内容が異なる場合に、当該2つずつ総当たりの組にされたメモリセル以外のメモリセルの記憶内容をソフトエラーを被っていないと判定し、当該ソフトエラーを被っていないと判定したメモリセルを、出力すべきメモリセルとして選択するとともに、当該選択したメモリセルの記憶内容を出力するように構成されているワードセクタ手段を有することを特徴とする請求項2または3に記載のソフトエラー対策機能付メモリ装置。

【請求項5】 前記コンペア手段は、前記メモリセルの各々から所定ビット長で定義されたワード単位で記憶内容が出力されたとき、当該記憶内容をワード単位で前記多数決比較を実行するように構成されていることを特徴とする請求項3乃至4のいずれか一項に記載のソフトエラー対策機能付メモリ装置。

【請求項6】 前記コンペア手段は、前記メモリセルの各々から所定ビット長で記憶内容が出力されたとき、当該記憶内容をビット単位で前記多数決比較を実行するように構成されていることを特徴とする請求項3乃至4のいずれか一項に記載のソフトエラー対策機能付メモリ装置。

【請求項7】 前記コンペア手段の各々は、前記多数決比較を実行した前記メモリセルの記憶内容が正しい場合に論理値Hの信号を出力し、前記多数決比較を実行した前記メモリセルの記憶内容が間違っている場合に論理値

Lの信号を出力し、

前記ワードセクタ手段は、前記コンペア手段の各々からの出力信号と、前記3つ以上のメモリセルの各々から出力された記憶内容とを用い、論理値Hで指定されたメモリセルを記憶内容が正しいメモリセルとして選択し、当該記憶内容が正しいメモリセルの記憶内容の出力を指示するように構成されていることを特徴とする請求項4に記載のソフトエラー対策機能付メモリ装置。

【請求項8】 同一のアドレスに書き戻すタイミングでまたは外部から制御されるタイミングで、前記ワードセクタ手段から受け取った前記ソフトエラーを被っていないメモリセルの記憶内容を、前記少なくともソフトエラーを被っているメモリセルのデータ入力端に再入力して当該ソフトエラーを被っているメモリセルの記憶内容を当該ソフトエラーを被っていないメモリセルの記憶内容に書き直すソフトエラー復帰処理を実行するための更新手段を有することを特徴とする請求項1乃至7のいずれか一項に記載のソフトエラー対策機能付メモリ装置。

【請求項9】 メモリセルのソフトエラーを判定し、ソフトエラーを被っていないと判断されるデータを選択的に出力するソフトエラー対策方法であって、

少なくとも3つ以上のメモリセルにデータを格納する多数決用メモリ工程と、

前記3つ以上のメモリセルの各々の記憶内容に対して多数決処理を実行してソフトエラーを被っていないデータを選択する多数決工程とを有することを特徴とするソフトエラー対策方法。

【請求項10】 前記多数決工程は、前記3つ以上のメモリセルの中のいずれか1つのメモリセルの記憶内容がソフトエラーを被っていると判定した際に、当該メモリセルを除く残りの前記メモリセルの記憶内容をソフトエラーを被っていないとする多数決論理を用いた選択処理を実行することを特徴とする請求項9に記載のソフトエラー対策方法。

【請求項11】 前記多数決工程は、前記メモリセルの数と同数設けられ、前記メモリセルの各々から読み出した記憶内容を2つずつ総当たりの組にして比較する多数決比較を行うコンペア工程を有することを特徴とする請求項10に記載のソフトエラー対策方法。

【請求項12】 前記多数決工程は、前記2つずつ総当たりの組にされたメモリセル間で記憶内容が異なる場合に、当該2つずつ総当たりの組にされたメモリセル以外のメモリセルの記憶内容をソフトエラーを被っていないと判定し、当該ソフトエラーを被っていないと判定したメモリセルを、出力すべきメモリセルとして選択するとともに、当該選択したメモリセルの記憶内容を出力するワードセクタ工程を有することを特徴とする請求項10または11に記載のソフトエラー対策方法。

【請求項13】 前記コンペア工程は、前記メモリセルの各々から所定ビット長で定義されたワード単位で記憶内容が出力されたとき、当該記憶内容をワード単位で前記多数決比較を実行することを特徴とする請求項11乃至12のいずれか一項に記載のソフトウェア対策方法。

【請求項14】 前記コンペア工程は、前記メモリセルの各々から所定ビット長で記憶内容が出力されたとき、当該記憶内容をビット単位で前記多数決比較を実行することを特徴とする請求項11乃至12のいずれか一項に記載のソフトウェア対策方法。

【請求項15】 前記コンペア工程の各々は、前記多数決比較を実行した前記メモリセルの記憶内容が正しい場合に論理値Hの信号を出力し、前記多数決比較を実行した前記メモリセルの記憶内容が間違っている場合に論理値Lの信号を出力し、前記ワードセクタ工程は、前記コンペア工程の各々からの出力信号と、前記3つ以上のメモリセルの各々から出力された記憶内容とを用い、論理値Hで指定されたメモリセルを記憶内容が正しいメモリセルとして選択し、当該記憶内容が正しいメモリセルの記憶内容の出力を指示することを特徴とする請求項12に記載のソフトウェア対策方法。

【請求項16】 同一のアドレスに書き戻すタイミングでまたは外部から制御されるタイミングで、前記ワードセクタ工程から受け取った前記ソフトウェアを被っていないメモリセルの記憶内容を、前記少なくともソフトウェアを被っているメモリセルのデータ入力端に再入力して当該ソフトウェアを被っているメモリセルの記憶内容を当該ソフトウェアを被っていないメモリセルの記憶内容に書き直すソフトウェア復帰処理を実行するための更新工程を有することを特徴とする請求項9乃至15のいずれか一項に記載のソフトウェア対策方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ソフトウェア対策技術及びメモリ装置に関し、特に、メモリ装置にソフトウェア対策機能を付加することにより、効率的にバスラインを使用でき、装置の性能向上が望めるソフトウェア対策機能付メモリ装置及びソフトウェア対策方法に関する。

【0002】

【従来の技術】近年、メモリが高集積化するに伴ってメモリセルの体積も小さくなり、地上に潜在する α 線または宇宙空間に存在する粒子により発生するソフトウェアの問題が顕在化してきている。ソフトウェアとは、地上に存在する α 線または、中性子により記録している内容がビット単位で反転する現象をいう。特に宇宙空間では、このソフトウェアは、太陽から放出される重粒子の他、地球に捕捉されている粒子または宇宙空間より飛来する粒子により頻繁に発生するものである。このソフト

エラーに対する対策として1ビットエラー対応によるハフマン符号化またはワード単位でのエラー訂正をするリードソロモン符号化などの従来技術が知られている。

【0003】

【発明が解決しようとする課題】しかしながら、これらの従来技術では、外部装置を付加してソフトウェア対策を実行していた。また、装置重量を問題とする衛星搭載機器については、1ワード内に2ビットエラーが発生しないようメモリの巡回アクセス手法をソフトウェア上で処理することにより1ビットエラー訂正をするなど装置設計上の負担になっているため、装置の性能に制約を与えているという問題点があった。本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、このような制約条件を緩和してメモリ装置にソフトウェア対策機能を付加することにより、効率的にバスラインを使用でき、装置の性能向上が望めるソフトウェア対策機能付メモリ装置及びソフトウェア対策方法を提供する点にある。

【0004】

【課題を解決するための手段】本発明の請求項1に記載の要旨は、メモリセルのソフトウェアを判定し、ソフトウェアを被っていないと判断されるデータを選択的に出力するソフトウェア対策機能付メモリ装置であって、データを格納する少なくとも3つ以上のメモリセルを備えたメモリセルアレイと、前記3つ以上のメモリセルの各々の記憶内容に対して多数決処理を実行してソフトウェアを被っていないデータを選択する多数決回路とを有することを特徴とするソフトウェア対策機能付メモリ装置に存する。また本発明の請求項2に記載の要旨は、前記多数決回路は、前記3つ以上のメモリセルの中のいずれか1つのメモリセルの記憶内容がソフトウェアを被っていると判定した際に、当該メモリセルを除く残りの前記メモリセルの記憶内容をソフトウェアを被っていないとする多数決論理を用いた選択処理を実行するように構成されていることを特徴とする請求項1に記載のソフトウェア対策機能付メモリ装置に存する。また本発明の請求項3に記載の要旨は、前記多数決回路は、前記メモリセルの数と同数設けられ、前記メモリセルの各々から読み出した記憶内容を2つずつ総当たりの組にして比較する多数決比較を行うコンペア手段を有することを特徴とする請求項2に記載のソフトウェア対策機能付メモリ装置に存する。また本発明の請求項4に記載の要旨は、前記多数決回路は、前記2つずつ総当たりの組にされたメモリセル間で記憶内容が異なる場合に、当該2つずつ総当たりの組にされたメモリセル以外のメモリセルの記憶内容をソフトウェアを被っていないと判定し、当該ソフトウェアを被っていないと判定したメモリセルを、出力すべきメモリセルとして選択するとともに、当該選択したメモリセルの記憶内容を出力するように構成されているワードセクタ手段を有することを特徴とする請求項2

または3に記載のソフトエラー対策機能付メモリ装置に存する。また本発明の請求項5に記載の要旨は、前記コンペア手段は、前記メモリセルの各々から所定ビット長で定義されたワード単位で記憶内容が出力されたとき、当該記憶内容をワード単位で前記多数決比較を実行するように構成されていることを特徴とする請求項3乃至4のいずれか一項に記載のソフトエラー対策機能付メモリ装置に存する。また本発明の請求項6に記載の要旨は、前記コンペア手段は、前記メモリセルの各々から所定ビット長で記憶内容が出力されたとき、当該記憶内容をビット単位で前記多数決比較を実行するように構成されていることを特徴とする請求項3乃至4のいずれか一項に記載のソフトエラー対策機能付メモリ装置に存する。また本発明の請求項7に記載の要旨は、前記コンペア手段の各々は、前記多数決比較を実行した前記メモリセルの記憶内容が正しい場合に論理値Hの信号を出力し、前記多数決比較を実行した前記メモリセルの記憶内容が間違っている場合に論理値Lの信号を出力し、前記ワードセクタ手段は、前記コンペア手段の各々からの出力信号と、前記3つ以上のメモリセルの各々から出力された記憶内容とを用い、論理値Hで指定されたメモリセルを記憶内容が正しいメモリセルとして選択し、当該記憶内容が正しいメモリセルの記憶内容の出力を指示するように構成されていることを特徴とする請求項4に記載のソフトエラー対策機能付メモリ装置に存する。また本発明の請求項8に記載の要旨は、同一のアドレスに書き戻すタイミングでまたは外部から制御されるタイミングで、前記ワードセクタ手段から受け取った前記ソフトエラーを被っていないメモリセルの記憶内容を、前記少なくともソフトエラーを被っているメモリセルのデータ入力端に再入力して当該ソフトエラーを被っているメモリセルの記憶内容を当該ソフトエラーを被っていないメモリセルの記憶内容に書き直すソフトエラー復帰処理を実行するための更新手段を有することを特徴とする請求項1乃至7のいずれか一項に記載のソフトエラー対策機能付メモリ装置に存する。また本発明の請求項9に記載の要旨は、メモリセルのソフトエラーを判定し、ソフトエラーを被っていないと判断されるデータを選択的に出力するソフトエラー対策方法であって、少なくとも3つ以上のメモリセルにデータを格納する多数決用メモリ工程と、前記3つ以上のメモリセルの各々の記憶内容に対して多数決処理を実行してソフトエラーを被っていないデータを選択する多数決工程とを有することを特徴とするソフトエラー対策方法に存する。また本発明の請求項10に記載の要旨は、前記多数決工程は、前記3つ以上のメモリセルの中のいずれか1つのメモリセルの記憶内容がソフトエラーを被っていると判定した際に、当該メモリセルを除く残りの前記メモリセルの記憶内容をソフトエラーを被っていないとする多数決論理を用いた選択処理を実行することを特徴とする請求項9に記載のソフトエラ

ー対策方法に存する。また本発明の請求項11に記載の要旨は、前記多数決工程は、前記メモリセルの数と同数設けられ、前記メモリセルの各々から読み出した記憶内容を2つずつ総当たりの組にして比較する多数決比較を行うコンペア工程を有することを特徴とする請求項10に記載のソフトエラー対策方法に存する。また本発明の請求項12に記載の要旨は、前記多数決工程は、前記2つずつ総当たりの組にされたメモリセル間で記憶内容が異なる場合に、当該2つずつ総当たりの組にされたメモリセル以外のメモリセルの記憶内容をソフトエラーを被っていないと判定し、当該ソフトエラーを被っていないと判定したメモリセルを、出力すべきメモリセルとして選択するとともに、当該選択したメモリセルの記憶内容を出力するワードセクタ工程を有することを特徴とする請求項10または11に記載のソフトエラー対策方法に存する。また本発明の請求項13に記載の要旨は、前記コンペア工程は、前記メモリセルの各々から所定ビット長で定義されたワード単位で記憶内容が出力されたとき、当該記憶内容をワード単位で前記多数決比較を実行することを特徴とする請求項11乃至12のいずれか一項に記載のソフトエラー対策方法に存する。また本発明の請求項14に記載の要旨は、前記コンペア工程は、前記メモリセルの各々から所定ビット長で記憶内容が出力されたとき、当該記憶内容をビット単位で前記多数決比較を実行することを特徴とする請求項11乃至12のいずれか一項に記載のソフトエラー対策方法に存する。また本発明の請求項15に記載の要旨は、前記コンペア工程の各々は、前記多数決比較を実行した前記メモリセルの記憶内容が正しい場合に論理値Hの信号を出力し、前記多数決比較を実行した前記メモリセルの記憶内容が間違っている場合に論理値Lの信号を出力し、前記ワードセクタ工程は、前記コンペア工程の各々からの出力信号と、前記3つ以上のメモリセルの各々から出力された記憶内容とを用い、論理値Hで指定されたメモリセルを記憶内容が正しいメモリセルとして選択し、当該記憶内容が正しいメモリセルの記憶内容の出力を指示することを特徴とする請求項12に記載のソフトエラー対策方法に存する。また本発明の請求項16に記載の要旨は、同一のアドレスに書き戻すタイミングでまたは外部から制御されるタイミングで、前記ワードセクタ工程から受け取った前記ソフトエラーを被っていないメモリセルの記憶内容を、前記少なくともソフトエラーを被っているメモリセルの記憶内容を当該ソフトエラーを被っていないメモリセルの記憶内容に書き直すソフトエラー復帰処理を実行するための更新工程を有することを特徴とする請求項9乃至15のいずれか一項に記載のソフトエラー対策方法に存する。

【0005】

【発明の実施の形態】ソフトエラーとは、地上に存在す

る α 線または、中性子により記録している内容がビット単位で反転する現象をいう。特に宇宙空間では、このソフトエラーは、太陽から放出される重粒子の他、地球に捕捉されている粒子または宇宙空間より飛来する粒子により頻繁に発生するものである。以下、本発明の実施の形態を図面に基づいて詳細に説明する。第1、第2実施形態は、この対策をソフトエラー対策機能付メモリ装置に持たせるもので、ソフトエラー対策によりビットエラーが限りなく少ないデータを出力するものである。

【0006】図1は、本第1、第2実施形態の、ソフトエラー対策機能付メモリ装置及びソフトエラー対策方法の一実施形態を説明するためのシステムブロック図である。この第1、第2実施形態の特徴は、メモリセルアレイ11が3つのメモリセルA、B、Cを備え、共通のアドレスを持つようになっているため、同じデータがそれぞれのメモリセルアレイA、B、Cに書き込まれることである。このデータは、出力するようなタイミング条件になると下側のシフトレジスタを介して4ビットのワードコンペア15、16、17（コンペア工程の実行主体）で比較され、同じデータであるか判定を受ける。判定結果は、ワードセクタ18にどのセルのデータを信じるかという意味のセレクト信号としてワードセクタ18（ワードセクタ工程の実行主体）に入力される。これに応じて、ワードセクタ18が出力すべきメモリセルのデータを選択・出力する。多数決機能は多数決回路で実行される。ここで、アルゴリズムとして重要なのは、3つのメモリセルA、B、Cのいずれか1つのメモリセルの記憶内容が誤りであれば残りの2つのメモリセルの内容が正しいとする多数決機能を設けていることである。多数決機能における多数決の取り方としては、ワード単位やビット単位で比較する方式なども可能である。

【0007】（第1実施形態）第1実施形態のソフトエラー対策機能付メモリ装置は、多数決用メモリ工程を実行するメモリセルアレイ11、メモリセルアレイ11のリード／ライト用のロジック回路、及び多数決工程を実行する多数決回路を備えている。本実施形態では、ソフトエラー対策機能付メモリ装置としてダイナミックRAMを例にとって説明する。リード／ライト用のロジック回路は、／RASクロック発生回路1、／CASクロック発生回路2、／WEクロック発生回路3、リフレッシュ・コントロールアドレス・カウンタ4、アドレス・バッファ5、カラム・デコーダ6、ロウ・デコーダ7、センス・アンプ8、Dinバッファ10、及び出力スイッチ19を備えている。ロジック回路は特別に特殊な回路をとるものではないが、それ故に容易に実現できる回路である。多数決回路は、3つのメモリセルA、B、Cの内のメモリセルアレイ11が誤れば残りの2つのメモリセルの内容が正しいとする回路であって、I/Oスイッチ&4ビットラッチ回路9（更新工程の実行主体）、3

つの4ビットラッチ回路12、13、14、3つの4ビットワードコンペア15、16、17、ワードセクタ18を備えている。

【0008】メモリセルアレイ11を構成する3つのメモリセルA、B、Cの各々は、格納する場所を示す番地アドレスに応じてデータを格納する。メモリ素子の方式によって決まる読み出し／書き込み制御信号としては、例えば、書き込みのタイミングにアクティブにするWE、出力のタイミングにアクティブにするOEなどがある。

【0009】特に、ダイナミックRAMは、アドレスの多ビット化（例えば、32ビット構成のアドレス→64ビット構成のアドレス化）に伴い、カラムとロウで構成されたマトリクス方式のアドレス指定を用いており、カラム・アドレス・ストロブ制御信号CAS、またはロウ・アドレス・ストロブ制御信号RASなどを用いて、複雑なタイミングでリード／ライト制御を実行する。また、リフレッシュという動作により、短い保持時間内にチャージしている電荷を再チャージする制御が必要である。このような読み出し／書き込みのための制御方法は、ダイナミックRAMのメモリ方式で違いはある。本実施形態のソフトエラー対策機能付メモリ装置では、データを格納するメモリセルアレイ11と、メモリセルアレイ11の3つのメモリセルA、B、Cの各々の記憶内容について多数決をとる回路とを付加しているが、読み出し／書き込み制御方式は従来技術と同じとしているので、RAMを含むあるゆる方式の半導体記憶デバイスに適用可能である。

【0010】一方、3つのメモリセルA、B、Cの各々は、3つの4ビットラッチ回路12、13、14に一对一に接続されている。具体的には、メモリセルAの出力は、4ビットラッチ回路14の入力に一对一に接続され、メモリセルBの出力は4ビットラッチ回路13の入力に一对一に接続され、メモリセルCの出力は4ビットラッチ回路12の入力に一对一に接続されている。また、4ビットラッチ回路12の出力（4ビット構成の出力）は2つの4ビットワードコンペア15、17の入力及びワードセクタ18の入力に並列に接続され、4ビットラッチ回路13の出力（4ビット構成の出力）は2つの4ビットワードコンペア15、16の入力及びワードセクタ18の入力に並列に接続され、4ビットラッチ回路14の出力（4ビット構成の出力）は2つの4ビットワードコンペア16、17の入力及びワードセクタ18の入力に並列に接続されている。4ビットワードコンペア15の出力（図中でB選択と表記）、4ビットワードコンペア16の出力（図中でA選択と表記）、及び4ビットワードコンペア17の出力（図中でC選択と表記）はワードセクタ18の入力に接続されている。

【0011】本実施形態のソフトエラー対策機能付メモリ装置に設けられているメモリセルアレイ11は、共通

のアドレス (A0, …, A7の8ビットアドレス) を持つ同一構成 (すなわち、アドレスバスが共通構成) の3つのメモリセルA, B, Cを備えている。したがって、書き込み時 (すなわち、この時点ではソフトエラーが発生していないとき)、3つのメモリセルA, B, Cの各々に保持されている4ビットデータは、同じ論理値となっている。

【0012】3つのメモリセルA, B, Cの各々に保持されている4ビットデータは、飛来してくる粒子によりビット単位で誤る可能性 (ソフトエラーが生じる可能性) がある。そこで、本実施形態では、3つのメモリセルA, B, Cの各々に保持されている4ビットデータの内の1つのメモリセル (例えば、メモリセルA) に保持されているデータがソフトエラーを被ったとしても、他の2つのメモリセル (この場合、B, C) が、同時に誤ることは確率的にかなり低くなり実質的に問題がないものと仮定している。このような仮定を前提として、本実施形態のソフトエラー対策機能付メモリ装置及びソフトエラー対策方法を用いることにより、3つのメモリセルA, B, Cのいずれか1つでソフトエラーが発生しても、ソフトエラーが発生していない他の2つのメモリセルを選択することにより (すなわち、多数決論理を用いた選択処理を実行することによってソフトエラーが発生しているメモリセルのデータを排除することにより)、ソフトエラーを起こしていないデータを出力することが可能となる。

【0013】ソフトエラーが発生していない他の2つのメモリセルを選択する方法 (すなわち、多数決を用いた選択によってソフトエラーが発生しているメモリセルのデータを排除する方法) は、3つのメモリセルA, B, Cの各々に一対一に接続された3つの4ビットラッチ回路12, 13, 14を経由して得られる3つのメモリセルA, B, Cの各々に保持されている4ビットデータを、3つの4ビットワードコンペア15, 16, 17で比較することで実現できる。すなわち、4ビットラッチ回路12を経由して得られるメモリセルCに保持されている4ビットデータと4ビットラッチ回路13を経由して得られるメモリセルBに保持されている4ビットデータとを4ビットワードコンペア15で比較し、4ビットラッチ回路13を経由して得られるメモリセルBに保持されている4ビットデータと4ビットラッチ回路14を経由して得られるメモリセルAに保持されている4ビットデータとを4ビットワードコンペア16で比較し、4ビットラッチ回路12を経由して得られるメモリセルCに保持されている4ビットデータと4ビットラッチ回路14を経由して得られるメモリセルAに保持されている4ビットデータとを4ビットワードコンペア17で比較して、前述の多数決論理を用いた選択処理を実現している。

【0014】前述の多数決論理を用いた選択処理は、具

体的には、3つの4ビットワードコンペア15, 16, 17を用いて3つのメモリセルA, B, Cからの読み出しデータを2つずつ総当たりの組にして比較し、2つのメモリセル間で違う値となった場合は、それ以外のメモリセル (すなわち、3つのメモリセルの内の残り1つのメモリセル) を指定するワードセクタ18により出力すべきメモリセルのデータを選択するものである。

【0015】次に、第1実施形態の多数決回路の動作を説明する。メモリセルAのデータは他の2つのメモリセルB, Cの各々からのデータ出力と同時に4ビットラッチ回路14に出力される。メモリセルBのデータは他の2つのメモリセルA, Cの各々からのデータ出力と同時に4ビットラッチ回路13に出力される。メモリセルCのデータは他の2つのメモリセルA, Bの各々からのデータ出力と同時に4ビットラッチ回路12に出力される。3つのメモリセルA, B, Cの各々から同時に4ビットラッチ回路12, 13, 14に出力された各々のデータは、4ビットワードコンペア15, 16, 17によりワード単位 (1ワード=4ビット) で比較される。なお、ワードの単位は、4ビットの他に、8ビットや16ビット等であってもよいことは明白である。

【0016】4ビットワードコンペア15, 16, 17の各々は、比較したメモリセルの記憶内容が正しい場合に論理値Hの信号を出力し、比較したメモリセルの記憶内容が間違っている場合に論理値Lの信号を出力する。ワードセクタ18は、4ビットワードコンペア15, 16, 17の各々からの出力信号と、3つのメモリセルA, B, Cの各々の出力データ (出力された記憶内容) とを用いて下記のような判断を実行し、その判断結果を出力する。

1. メモリセルAの記憶内容が正しい (論理値H) 場合は、メモリセルB, Cの記憶内容にかかわらずメモリセルAを選択する信号をI/Oスイッチ&4ビットラッチ回路9に出力する。
2. メモリセルBの記憶内容が正しい (論理値H) 場合は、メモリセルA, Cの記憶内容にかかわらずメモリセルBを選択する信号をI/Oスイッチ&4ビットラッチ回路9に出力する。
3. メモリセルCの記憶内容が正しい (論理値H) 場合は、メモリセルA, Bの記憶内容にかかわらずメモリセルCを選択する信号をI/Oスイッチ&4ビットラッチ回路9に出力する。
4. 3つのメモリセルA, B, Cの各々の記憶内容が全て間違っている (論理値L) 場合は、ビット多数決結果 (または "ALL" H) の信号をI/Oスイッチ&4ビットラッチ回路9に出力する。

【0017】基本的には、3つのメモリセルA, B, Cがすべて論理値Lとなることは考えられないが、このようなケースにおけるロジックを決めておくことは必要である。なお、地上における仕様においては、このロジック

クを省くことも構成を簡素化する一つとして選択することもありうる。ソフトエラー対策機能付メモリ装置は、このようにして、ソフトエラーの無いデータを出力できるようになる。また、ソフトエラーを被ったメモリセルの入力にソフトエラーの無いデータがフィードバックされることにより、ソフトエラーを被ったメモリセルの記憶データが正しいデータに書き直される（ソフトエラー復帰処理）ので、ビットエラーを訂正することができる。これは、 ／OE 、 ／WE をアクティブにせず、アドレスを指定してワードセレクトを選択した上で、セルへ戻す制御をすれば良いだけなので、隣接したソフトエラー対策機能付メモリ装置の書き込み、読み込みタイミングが全体のアドレスを順番にアクセスしている場合、そのタイミングを流用して、 I／O スイッチ&4bitラッチ回路9をワードセクタ18側のデータを選択にしてあげれば容易に実現できる。

【0018】このようなソフトエラー対策方法を実行するソフトエラー対策機能付メモリ装置では、従来のECC回路が不要となる。ソフトエラーをメモリセルアレイ11で回避できるようになる。また、同一のアドレスに書き戻すタイミングでまたは外部（具体的には、 ／WE クロック発生回路3）から制御されるタイミングで、ソフトエラーを被っていないメモリセルの出力データ（出力された記憶内容）をワードセクタ18を経由して少なくともソフトエラーを被っているメモリセルのデータ入力端に再入力するソフトエラー復帰処理（換言すれば、ソフトエラーを被っていないデータに書き直すソフトエラー復帰処理）を実現することができるようになる。これにより、1ビット以上のエラーの発生を限りなく低い確率に抑えることができる。その結果、ビットエラーの確率が高い宇宙用搭載機器では、ソフトエラー復帰のための対策に従来要していたハードウェアやソフトウェアを削減でき、宇宙用搭載機器のハードウェア資源やソフトウェア資源を本来の仕事に有効に割り振ることが可能となり、装置の処理性能の向上を図ることが可能となる。

【0019】（第2実施形態）第2実施形態の多数決回路では、3つのメモリセルA、B、Cの各々から同時に4bitラッチ回路12、13、14に出力された各々のデータは、4bitワードコンペア15、16、17により各メモリセルの出力データ（出力された記憶内容）がビット単位で比較される点に特徴を有している。また、第1実施形態のようなワード単位で行う多数決方法と第2実施形態のようなビット単位で行う多数決方法を、用途に応じて使い分けることもできる。

【0020】なお、本実施の形態においては、本発明はダイナミックRAMに限定されず、本発明を適用する上で好適な種々の方式のメモリ（例えば、シンクロナスDRAMやEEPROM等の半導体記憶デバイス）に適用することができる。また、上記構成部材の数、位置、形

状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。

【0021】

【発明の効果】本発明は以上のように構成されているので、以下に掲げる効果を奏する。第1に、従来のECC回路による1ビット訂正機能が不要となる。その結果、符号データ用のメモリが不要となる。第2に、2ビットエラーが発生しない定期的な1ビット訂正がメモリ内で可能なため、機器の性能向上（処理速度高速化等）に貢献できる。第3に、ソフトエラー対策機能をチップ内に混載できるため、装置の省スペース化が可能となり、その分だけメモリの高密度化やメモリ容量の拡大が容易となる。なお、同一のチップ内に収まらない場合は、ソフトエラー対策機能付メモリ装置とロジックあわせてチップサイズパッケージ（CSP: Chip Scale Package）にしてMMIC、またはメモリモジュールとして実現することも可能である。

【図面の簡単な説明】

【図1】本発明の、ソフトエラー対策機能付メモリ装置及びソフトエラー対策方法の一実施形態を説明するためのシステムブロック図である。

【符号の説明】

- 1… ／RAS クロック発生回路（リード／ライト用のロジック回路）
- 2… ／CAS クロック発生回路（リード／ライト用のロジック回路）
- 3… ／WE クロック発生回路（リード／ライト用のロジック回路）
- 4…リフレッシュ・コントロールアドレス・カウンタ（リード／ライト用のロジック回路）
- 5…アドレス・バッファ（リード／ライト用のロジック回路）
- 6…カラム・デコーダ（リード／ライト用のロジック回路）
- 7…ロウ・デコーダ（リード／ライト用のロジック回路）
- 8…センス・アンプ（リード／ライト用のロジック回路）
- 9… I／O スイッチ&4bitラッチ回路（多数決回路（更新手段））
- 10… Din バッファ（リード／ライト用のロジック回路）
- 11…メモリセルアレイ
- 12…4bitラッチ回路（多数決回路）
- 13…4bitラッチ回路（多数決回路）
- 14…4bitラッチ回路（多数決回路）
- 15…4bitワードコンペア（多数決回路（コンペア手段））
- 16…4bitワードコンペア（多数決回路（コンペア手段））

17…4 b i t ワードコンペア (多数決回路 (コンペア手段))

18…ワードセクタ (多数決回路 (ワードセクタ手段))

19…出力スイッチ (リード/ライト用のロジック回路)

A, B, C…メモリセル

Figure 1 is a block diagram of a memory system. The diagram shows the internal structure of a memory device with various control and data paths. Key components include:

- 1**: RAS clock generation circuit (RASクロック発生回路)
- 2**: CAS clock generation circuit (CASクロック発生回路)
- 3**: Write lock generation circuit (Writeクロック発生回路)
- 4**: Refresh control address counter (リフレッシュ・コントロールアドレス・カウンタ)
- 5**: Address decoder (アドレスデコーダ)
- 6**: Column decoder (カラム・デコーダ)
- 7**: Sense amplifier (センス・アンプ)
- 8**: Memory array (メモリセルアレイ) with columns A, B, C and rows A, B, C.
- 9**: 4-bit latch circuit (4ビットラッチ回路)
- 10**: Din buffer (Dinバッファ)
- 11**: 4-bit latch circuit (4ビットラッチ回路)
- 12**: 4-bit latch circuit (4ビットラッチ回路)
- 13**: 4-bit latch circuit (4ビットラッチ回路)
- 14**: 4-bit latch circuit (4ビットラッチ回路)
- 15**: 4-bit latch circuit (4ビットラッチ回路)
- 16**: 4-bit latch circuit (4ビットラッチ回路)
- 17**: 4-bit latch circuit (4ビットラッチ回路)
- 18**: Word selector (ワードセレクタ)
- 19**: Output switch (出力スイッチ)

The diagram illustrates the flow of data and control signals between these components, including address inputs (A0, A1), clock signals (RAS, CAS, WE), and data outputs (OUT).

- 1...／RASクロック発生回路（リード／ライト用のロジック回路）
- 2...／CASクロック発生回路（リード／ライト用のロジック回路）
- 3...／WEクロック発生回路（リード／ライト用のロジック回路）
- 4...リフレッシュ・コントロールアドレス・カウンタ（リード／ライト用のロジック回路）
- 5...アドレス・バッファ（リード／ライト用のロジック回路）
- 6...カラム・デコーダ（リード／ライト用のロジック回路）
- 7...row・デコーダ（リード／ライト用のロジック回路）
- 8...センス・アンプ（リード／ライト用のロジック回路）
- 9...I/Oスイッチ&4bitラッチ回路（多数決回路（更新手段））
- 10...Dataバッファ（リード／ライト用のロジック回路）
- 11...メモリスループ
- 12...4bitラッチ回路（多数決回路）
- 13...4bitラッチ回路（多数決回路）
- 14...4bitラッチ回路（多数決回路）
- 15...4bitワードコンパ（多数決回路（コンパ手段））
- 16...4bitワードコンパ（多数決回路（コンパ手段））
- 17...4bitワードコンパ（多数決回路（コンパ手段））
- 18...ワードセレクト（多数決回路（ワードセレクト手段））
- 19...出力スイッチ（リード／ライト用のロジック回路）
- A, B, C...メモリスループ

DELPHION

Log Out Work Files Saved Searches

RESEARCH

PRODUCTS

INSIDE DELPHION

My Account

Search: Quick/Number Boolean Advanced Derwent Help

No active trail

SelectCR Stop Tracking

The Delphion Integrated View

Get Now: ☒ PDF | More choices... Tools: Add to Work File:

View: INPADOC | Jump to: Top Go to: Derwent ☐ Email this to a friend

Title: JP2000163320A2: MEMORY DEVICE WITH SOFTWARE ERROR MEASURE FUNCTION AND SOFTWARE ERROR MEASURE METHOD

Derwent Title: Memory device has majority circuit which selects memory cells whose contents are not covered with soft error [Derwent Record]

Country: JP Japan
Kind: A2 Document Laid open to Public inspection I
Inventor: SUZUKI NAOISHI;
Assignee: NEC CORP
News, Profiles, Stocks and More about this company

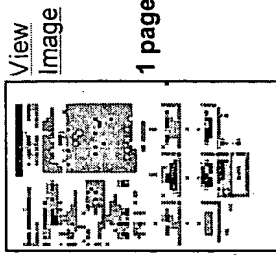
Published / Filed: 2000-06-16 / 1998-11-30

Application Number: JP1998000353810
IPC Code: G06F 12/16;

Priority Number: 1998-11-30 JP1998000353810

Abstract: PROBLEM TO BE SOLVED: To provide a memory device having software error measure function and a software error measure method with which improvement in the performance of the memory device can be expected while efficiently using a bus line by adding a software error measure function to the device.

SOLUTION: This device has a memory cell array 11 having at least three memory cells A, B and C for storing data and a majority decision circuit for selecting data in the memory cell, which is not affected by a software error, according to a majority decision concerning the stored contents of the respective memory cells A, B



and C.

COPYRIGHT: (C)2000,JPO

None

Family:

Other Abstract

Info:



DERABS G2000-456110 DERABS G2000-456110



Nominate this for the Gallery...

THOMSON

Copyright © 1997-2005 The Thomson Corporation

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)



OrderPatent

{19}



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 20001633:

(43) Date of publication of application: 16.06.2016

(51) Int. Cl. G06F 12/16

(21) Application number: 10353810

(22) Date of filing: 30.11.1998

(71) Applicant: NEC CORP

(72) Inventor: SUZUKI NAOSHI

(54) MEMORY DEVICE WITH SOFTWARE ERROR
MEASURE FUNCTION AND SOFTWARE
ERROR MEASURE METHOD

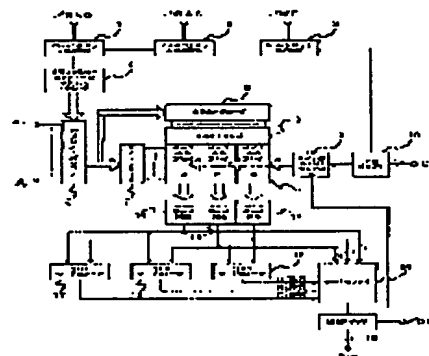
the stored contents of the respective memory B and C.

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a memory device having software error measure function and a software error measure method with which improvement in the performance of the memory device can be expected while efficiently using a bus line by adding a software error measure function to the device.

SOLUTION: This device has a memory cell array 11 having at least three memory cells A, B and C for storing data and a majority decision circuit for selecting data in the memory cell, which is not affected by a software error, according to a majority decision concerning





OrderPatent